마이크로 프로세서 설계 및 응용

학번 : 이름 :

1. Direct mapped cache의 구조를 그림으로 그리고 설명하시오.
2. Fully associative cache의 구조를 그림으로 그리고 설명하시오
3. 그림과 같이 4-way set associative cache를 설계하고자 한다. Cache의 크기는 256Kbyte 이며 block size는 16byte이다. 그림에 tag, data, index의 bit width를 표시하고, 32bit address중에 tag, data, index가 어떤 bit position에 해당하는지 표시하시오.

